

PACKET CONVERTER

Patent Number: JP6224932
Publication date: 1994-08-12
Inventor(s): SHIMOJO YOSHIMITSU; others: 01
Applicant(s):: TOSHIBA CORP
Requested Patent: JP6224932
Application Number: JP19930009087 19930122
Priority Number(s):
IPC Classification: H04L12/48 ; H04L12/56
EC Classification:
Equivalents:

Abstract

PURPOSE:To eliminate the need for execution of exceptional processing in other processing by executing the exemption processing for a processing by applying conversion processing to a packet whose input processing is finished and starting output processing after the conversion processing is finished.

CONSTITUTION:An input processing section 11 executes required input processing prior to the conversion processing by a conversion processing section 12. The conversion processing section 12 references a routing tag table 2 with respect to a received packet whose input processing is finished to execute the conversion processing thereto. An output processing section 13 applies output processing to the packet whose conversion processing is executed. Thus, since the conversion processing is applied to a packet whose input processing is finished and the output processing is started after the conversion processing is finished, even when a processing such as exemption processing is executed in the input processing, it is not required to execute the exceptional processing in other processing such as the conversion processing. Thus, the timing design is facilitated.

Data supplied from the esp@cenet database - I2

Best Available Copy

18 which controls those respective parts. Transmission and reception information when the data are sent and received over plural lines is stored in the memory part 17 and displayed at the display part 14, and consequently the user of the terminal can recognize plural transmission and reception states in real time without confusion by looking at the display.

9/4/2

FN- DIALOG(R)File 347:JAPIO
CZ- (c) 2001 JPO & JAPIO. All rts. reserv.
TI- PACKET CONVERTER
PN- 06-224932 -J P 6224932 A-
PD- August 12, 1994 (19940812)
AU- SHIMOJO YOSHIMITSU; KUMAKI YOSHINARI
PA- TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)
AN- 05-009087 -JP 939087-
AN- 05-009087 -JP 939087-
AD- January 22, 1993 (19930122)
IC- -5- H04L-012/48; H04L-012/56
CL- 44.3 (COMMUNICATION -- Telegraphy)
SO- Section: E, Section No. 1629, Vol. 18, No. 593, Pg. 98, November 11, 1994 (19941111)
AB- PURPOSE: To eliminate the need for execution of exceptional processing in other processing by executing the exemption processing for a processing by applying conversion processing to a packet whose input processing is finished and starting output processing after the conversion processing is finished.

CONSTITUTION: An input processing section 11 executes required input processing prior to the conversion processing by a conversion processing section 12. The conversion processing section 12 references a routing tag table 2 with respect to a received packet whose input processing is finished to execute the conversion processing thereto. An output processing section 13 applies output processing to the packet whose conversion processing is executed. Thus, since the conversion processing is applied to a packet whose input processing is finished and the output processing is started after the conversion processing is finished, even when a processing such as exemption processing is executed in the input processing, it is not required to execute the exceptional processing in other processing such as the conversion processing. Thus, the timing design is facilitated.

?log

```
05jul01 10:26:14 User116074 Session D4861.2
    $3.71    0.339 DialUnits File347
        $2.10  2 Type(s) in Format  2
        $7.50  5 Type(s) in Format  4
        $9.60  7 Types
$13.31 Estimated cost File347
$1.00  TYMNET
$14.31 Estimated cost this search
$14.55 Estimated total session cost  0.402 DialUnits
```

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-224932

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 12/48 12/56	8732-5K 8529-5K	H 04 L 11/ 20	Z	1 0 2 Z

審査請求 未請求 請求項の数 2 OL (全 18 頁)

(21)出願番号 特願平5-9087

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成5年(1993)1月22日

(72)発明者 下條 義満

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 熊木 良成

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

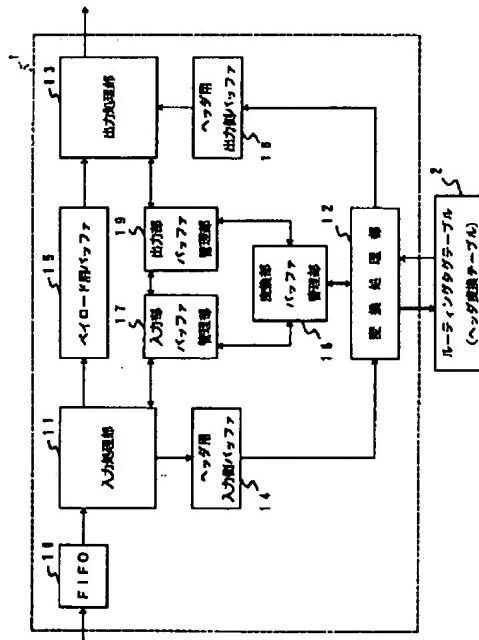
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 パケット変換装置

(57)【要約】

【目的】入力処理部が例外処理を行う場合でも変換処理部は例外処理を行う必要がなく、タイミング設計が容易であると共に、バッファへのパケットの書き込みタイミングの設計が容易であるパケット変換装置を提供する。

【構成】入力セルのヘッダ部とペイロード部を分離する入力処理部1 1、入力セルのヘッダ部を蓄積するペイロード用バッファ1 4、入力セルのペイロード部を蓄積するペイロード用バッファ1 5、ヘッダ部をルーティングタグテーブル2を参照してルーティングタグ付きヘッダパターンに変換する変換処理部1 2、ルーティングタグ付きヘッダパターンを蓄積するヘッダ用出力側バッファ1 6およびルーティングタグ付きヘッダパターンとペイロード部を合成してルーティングタグ付きセルを生成して出力する出力処理部1 3からなるパケット変換装置。



1

2

【特許請求の範囲】

【請求項1】所定の入力パケットに対してテーブルを参照して予め定められた変換処理を施した後、所定の山形パケットを生成して出力するパケット変換装置において、

前記入力パケットに対して前記変換処理に先立って必要な入力処理を施す入力処理手段と、

前記入力処理手段により入力処理が終了した入力パケットに対して前記テーブルを参照して前記変換処理を施す変換処理手段と、

前記変換処理手段により変換処理が施されたパケットに対して出力処理を施すことにより前記出力パケットを生成して出力する出力処理手段とを有することを特徴とするパケット変換装置。

【請求項2】ヘッダ部とデータ部からなる入力パケットに対してテーブルを参照して予め定められた変換処理を施した後、所定の出力パケットを生成して出力するパケット変換装置において、

前記入力パケットに応答して該入力パケットの少なくとも前記ヘッダ部を含む第1の部分と該入力パケットの少なくとも前記データ部を含む第2の部分とを出力する入力処理を施す入力処理手段と、

前記入力パケットの前記第1の部分を蓄積する第1の蓄積手段と、

前記入力パケットの前記第2の部分を蓄積する第2の蓄積手段と、

前記第1の蓄積手段から前記入力パケットの前記第1の部分の一部または全部を取り出して前記変換処理を施す変換処理手段と、

前記変換処理手段により変換処理が施された結果を蓄積する第3の蓄積手段と、

前記第2の蓄積手段から前記第2の部分の一部または全部、前記第3の蓄積手段から前記変換処理が施された結果の一部または全部をそれぞれ取り出した後合成する出力処理を行うことにより出力パケットを生成して出力する出力処理を施す出力処理手段とを有することを特徴とするパケット変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パケット交換システムにおいて入力パケットに予め定められた変換処理を施すためのパケット変換装置に係り、より具体的には例えばATMセルのような固定長パケットに対するルーティングタグ付加やルーティングタグ削除などを行うパケット変換装置に関する。

【0002】

【従来の技術】情報通信システムは、現在の情報化社会における重要なインフラストラクチャとなっており、今後ますますその重要性が高まっていくことは確実である。従来より、高度で多様なサービスを提供すべく様々

な情報通信システムが提案されている。とりわけ、情報をセルと呼ばれる固定長パケットの形で交換するATM(Asynchronous Transfer Mode: 非同期転送モード)通信システムは、次世代通信システムの本命とされ、盛んに開発が進められている。

【0003】ATM通信システムに使用されるATM交換システムは、一般に図8に示すように構成される。入側インターフェース点から図2(a)に示すような固定長パケット(セル)が交換システムに到着すると、その入力セルはまずルーティングタグ付加部1に入力される。

ルーティングタグ付加部1は、入力セルのヘッダ部に書き込まれている論理チャネル識別子(VPI, VCI)から論理チャネル番号を求め、それをキーにしてルーティングタグテーブル2を参照することにより、入力セルを図2(b)に示すようなルーティングタグ付きセルに変換して出力する。ルーティングタグ付きセルは自己ルーティングスイッチ3に入力され、ルーティングタグの情報により自律的に所望の出方路へ交換される。

【0004】自己ルーティングスイッチ3により交換されたルーティングタグ付きセルは、ルーティングタグ削除部4に入力される。ルーティングタグ削除部4は、ルーティングタグ付きセルからルーティングタグ等を削除するとともに、ルーティングタグ付きセルのセルヘッダ中の出側物理VCIをキーにしてヘッダ変換テーブル5を参照することにより、論理チャネル識別子を入力側インターフェース点での値から出側インターフェース点での値に更新する。

【0005】上述したように、ルーティングタグ付加部1は入力セルをルーティングタグ付きセルに変換するパケット変換機能を持っている。同様に、ルーティングタグ削除部4もルーティングタグ付きセルからルーティングタグを除いたセルに変換するパケット変換機能を持つ。

【0006】ルーティングタグ付加部1は、従来、図9に示すように構成されている。入力処理部91に到着した入力セルのうち、ヘッダ部に存在する論理チャネル識別子(VPI, VCI、すなわち入側物理VCI)は変換処理部92へ転送され、またペイロードなどのそれ以外の情報はセレクタ93を介してRAMにより構成されたセルバッファ94に転送され蓄積される。変換処理部92は、ペイロードなどがセルバッファ94に蓄積される期間内に、論理チャネル識別子に基づいてルーティングタグテーブル2を参照し、ルーティングタグ等を作成する。ペイロード等が全てセルバッファ94に蓄積された後、変換処理部92から出力されるルーティングタグ等がセレクタ93を介してセルバッファ94に転送され蓄積される。このようにして、ルーティングタグ付きセルがバッファ94に蓄積されることになる。セルバッファ94に蓄積されたルーティングタグ付きセルは、出力処理部95により読み出され出力される。

3

【0007】ルーティング削除部4も図9と同様に構成されている。但し、ルーティングタグテーブル2はヘッダ変換テーブル5に置き換えられる。この場合、入力処理部91にはルーティングタグ付きセルが入力され、該セルのうちヘッダ部に存在する論理チャネル識別子である出側物理VC1は変換処理部92へ転送され、ルーティングタグ等を除いたペイロードなどのそれ以外の情報はセレクタ93を介してセルバッファ94に転送され蓄積される。変換処理部92は、ペイロードなどがセルバッファ94に蓄積される期間内に、出側物理VC1に基づいてヘッダ変換テーブルを参照し、出側インターフェース点でのVPI, VC1を含む新たなヘッダを作成する。ペイロードが全てセルバッファ94に蓄積された後、変換処理部92から出力される新たなヘッダがセレクタ93を介してセルバッファ94に転送され蓄積される。このようにして、新たなヘッダを備えたセルがバッファ94に蓄積されることになる。セルバッファ94に蓄積された新たなヘッダを備えたセルは、出力処理部95により読み出され出力される。上述した従来の構成法によるルーティングタグ付加部やルーティングタグ削除部などのパケット変換装置では、次のような問題点がある。

【0008】第1の問題点は、入力処理部91が例外処理を行うと、それに伴い変換処理部92も例外処理を行う必要があることである。入力処理部91での例外処理の一例としては、長さの異常なセルが入力された時、それを廃棄する「セル廃棄」という処理が挙げられる。このように異常な長さのセルが入力された場合、変換処理部91は例外処理として、セル廃棄に伴ってルーティングタグテーブル2中の通過セル数カウンタのインクリメント動作を禁止しなければならない。

【0009】しかし、例えば入力セルの長さが規定値より短い時にはインクリメント動作を途中で打ち切るが、規定値より長い時にはインクリメント動作後にセルの長さの異常が判明するために、通過セル数カウンタの値をデクリメントさせる、といった種々の状態を考慮しなければならないため、変換処理部92の処理が非常に複雑となる。

【0010】第2の問題点は、1セルを入力する期間内に、入力処理部91が入力セルをセルバッファ94に蓄積することに加えて、変換処理部92において作成されたルーティングタグ等も同じセルバッファ94に書き込まなければならぬため、セルバッファ94へのセルの書き込みタイミングの設計が容易でないことがある。特に、ルーティングタグ付加部1においては、入力セルの長さよりもセルバッファ94に書き込むルーティングタグ付きセルの長さの方が長いため（例えば前者は53オクテット、後者は64オクテット）、入力セルに同期して書き込みを行うことが困難である。

【0011】

4

【発明が解決しようとする課題】上述したように従来のパケット変換装置では、入力処理部が例外処理を行う場合、変換処理部も例外処理を行わなければならないためタイミング設計が難しくなるという問題と、1つのパケットを入力する期間内に、入力処理部が入力パケットをバッファに蓄積することに加えて、変換処理部において作成されたルーティングタグ等も同じバッファに書き込まなければならぬため、バッファへのパケットの書き込みタイミングの設計が容易でないという問題があつた。

【0012】本発明の第1の目的は、入力処理部が例外処理を行う場合でも変換処理部は例外処理を行う必要がなく、タイミング設計が容易であるパケット変換装置を提供することにある。

【0013】本発明の第2の目的は、入力処理部が例外処理を行う場合でも変換処理部は例外処理を行う必要がなく、タイミング設計が容易であると共に、バッファへのパケットの書き込みタイミングの設計が容易であるパケット変換装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は第1の目的を達成するため、所定の入力パケットに対してテーブルを参照して予め定められた変換処理を施した後、所定の出力パケットを生成して出力するパケット変換装置において、前記入力パケットに対して前記変換処理に先立って必要な入力処理を施す入力処理手段と、前記入力処理手段により入力処理が終了した入力パケットに対して前記テーブルを参照して前記変換処理を施す変換処理手段と、前記変換処理手段により変換処理が施されたパケットに対して出力処理を施すことにより前記出力パケットを生成して出力する出力処理手段とを有することを特徴とする。

【0015】また、本発明は第2の目的を達成するため、ヘッダ部とデータ部からなる入力パケットに対してテーブルを参照して予め定められた変換処理を施した後、所定の出力パケットを生成して出力するパケット変換装置において、前記入力パケットに応答して該入力パケットの少なくとも前記ヘッダ部を含む第1の部分と該入力パケットの少なくとも前記データ部を含む第2の部分とを出力する入力処理を施す入力処理手段と、前記入力パケットの前記第1の部分を蓄積する第1の蓄積手段と、前記入力パケットの前記第2の部分を蓄積する第2の蓄積手段と、前記第1の蓄積手段から前記入力パケットの前記第1の部分の一部または全部を取り出して前記変換処理を施す変換処理手段と、前記変換処理手段により変換処理が施された結果を蓄積する第3の蓄積手段と、前記第2の蓄積手段から前記第2の部分の一部または全部、前記第3の蓄積手段から前記変換処理が施された結果の一部または全部をそれぞれ取り出した後合成する出力処理を行うことにより出力パケットを生成して出

5

力する出力処理を施す出力処理手段とを有することを特徴とする。

【0016】

【作用】このように本発明では、入力処理手段による入力処理が終了したパケットに対して変換処理を施し、変換処理が終了した後、出力処理手段が出力処理を開始する構成となっているため、ある処理手段例えば入力処理手段が例外処理を行っても、他の処理部例えば変換処理部は例外処理を行う必要がないため、タイミング設計上、他の処理部に対して影響を及ぼすことがなく、タイミング設計が容易となる。

【0017】また、入力パケットがATM交換システムにおけるセルのようにヘッダ部と該ヘッダ部に続くデータ部で構成される場合、入力処理手段からヘッダ部を含む第1の部分とペイロード部を含む第2の部分とを出力して、第1の部分と第2の部分をそれぞれ第1および第2の蓄積手段に蓄積し、さらに変換処理されたパケットを第3の蓄積手段に蓄積して、第2の蓄積手段から取り出した第2の部分の一部または全部と第3の蓄積手段から取り出したパケットの一部または全部を出力処理手段により合成して出力することにより、パケットの全ての部分を一つの蓄積手段に書き込む従来の技術と比較して、蓄積手段へのパケットの書き込みタイミングの設計が容易となる。

【0018】しかも、入力処理手段と変換処理手段および出力処理手段が相互に蓄積手段を介して疎に結合されているため、これら各処理手段の機能を独立に設計することができ、設計が容易となる。

【0019】また、入力処理手段と出力処理手段に互いに独立のクロック入力端子を設け、第2の蓄積手段を介して両者を非同期で動作させれば、ATM交換システムにおけるルーティングタグ付加部やルーティングタグ削除部のように入力パケットと出力パケットの長さが異なっている場合でも、入力処理手段と出力処理手段に供給するクロックの周波数比を適切に選定することで、入力処理手段と出力処理手段の処理スループットを等しくすることができる。入力処理手段と出力処理手段が非同期であることを積極的に利用して、ATM交換システムにおけるルーティングタグ付加部から自己ルーティングスイッチを経るルーティングタグ削除部に至る交換システム内部を回線速度より高速で動作させることで、交換機能の処理能力を上げることもできる。

【0020】さらに、変換処理手段での変換処理を複数段階に分けてパイプライン処理により実行するようすれば、同じ1パケットを入力する時間内に複数種類の変換処理を実行することができ、処理効率の向上と高機能化が可能となる。

【0021】

【実施例】以下、本発明のパケット交換装置を図8に示したATM交換システムにおけるルーティングタグ付加

10

20

30

40

50

6

部1に適用した実施例について説明する。

【0022】図1は、本発明の一実施例に係るパケット変換装置（以下、ルーティングタグ付加部1という）の構成を示すブロック図であり、一つの蓄積回路により構成されるものとする。このルーティングタグ付加部1は、3つの処理部、すなわち入力処理部11、変換処理部12および出力処理部13を有する。また、これらの各処理部間でのセルの受け渡しを行うために、入力処理部11と変換処理部12の間にヘッダ用入力側バッファ14、入力処理部11と出力処理部13の間にペイロード用バッファ15、変換処理部12と出力処理部13の間にヘッダ用出力側バッファ16がそれぞれ設けられている。

【0023】これら各部の機能を簡単に説明する。入力処理部11は、変換処理部12での変換処理に先立って必要な入力処理として、図2(a)に示すような入力セルに応答して、入力セルの少なくともヘッダを含む第1の部分（以下、ヘッダ部という）と、入力セルの少なくともデータ部を含む第2の部分（以下、ペイロード部という）を出力する処理を行う。ヘッダ用入力側バッファ14は、入力処理部11から入力されるヘッダ部を蓄積する。

【0024】変換処理部12は、ヘッダ用入力側バッファ14に蓄積されたヘッダ部の一部または全部を取り出し、ルーティングタグテーブル2を参照してルーティングタグ付きヘッダパターンに変換する処理を施す。ヘッダ用出力側バッファ16は、変換処理部12で得られたルーティングタグ付きヘッダパターンを蓄積する。ペイロード用バッファ15は、入力処理部11から入力されるペイロード部を蓄積する。

【0025】出力処理部13は、ペイロード用バッファ15に蓄積されたペイロード部の一部または全部と、ヘッダ用出力側バッファ16に蓄積されたルーティングタグ付きヘッダパターンの一部または全部を取り出して、これらを連結することで合成し、図2(b)に示すようなルーティングタグ付きセルを出力セルとして生成して出力する。

【0026】さらに、各バッファ11～16の管理のために、入力部バッファ管理部17、変換部バッファ管理部18および出力部バッファ管理部19が設けられている。これらのバッファ管理部17～19の機能については、後で詳しく説明する。

【0027】FIFO(first-in first-out)メモリ10は、入力処理部11の入力側に前処理部として必要に応じて設けられるものである。このFIFOメモリ10を設ける理由は、次の通りである。データのサンプルを容易にするため、セルを伝送する場合、セルデータ信号と共にピットクロックとセルの先頭を示す信号を並走させる場合がある。このとき、伝送路を構成するケーブルの押抜を考慮すると、伝送路を経てルーティングタグ付

7

加部1に入力されるビットクロックは、入力処理部11のクロックとして使用することには必ずしも適っていない。そこで、入力処理部11にビットクロックと同じ周波数の安定したクロックを供給し、並走してくるビットクロックに同期している、セルの先頭を示す信号とセルデータ信号をFIFOメモリ10を介して入力処理部11に供給することにより、入力処理部11のクロックに同期させる。これにより、伝送路上のクロックに異常が発生しても、入力処理部11の処理動作を安定に続行させることができるという利点がある。

【0028】次に、本実施例によるルーティングタグ付加部1の動作を説明する。ルーティングタグ付加部1には、図2(a)に示すようなセルが入力される。この入力セルは、図8の入側インターフェース点において論理チャネルを識別する論理チャネル識別子であるVPI(バーチャルパス識別子)およびVC1(バーチャルチャネル識別子)とその他のヘッダ情報からなるヘッダ部と、これに続くデータ部としてのペイロード部からなる。

【0029】入力部バッファ管理部17は、入力処理部11にセルを入力する準備として、バッファ14, 15に空きがあるかどうかを出力部バッファ管理部19に問い合わせる。この問い合わせの結果、バッファ14, 15に空きがあれば、入力処理部11は入力部バッファ管理部17による指示に従い入力セルをヘッダ部とペイロード部とに分離して出力する。ヘッダ部はヘッダ用入力側バッファ14に書き込まれ、ペイロード部はペイロード用バッファ15に書き込まれる。

【0030】ここでは、入力処理部11において入力セルをヘッダ部とペイロード部とに分離するとしたが、分離する際の境界は変換処理部12での処理に支障がない範囲でバッファ14, 15の書き込み・読み出しタイミングの設計に都合が良いように定めて構わない。例えば分離するヘッダ部の一部にペイロード部の先頭部分を含ませてもよい。また、分離するペイロード部の一部にヘッダ部の末尾部分を含ませてもよい。さらに、分離されたヘッダ部とペイロード部とが一部で互いにオーバーラップするようにしてもよいし、ヘッダ部で削除してもよいデータはバッファ14, 15のいずれにも書き込まないようにしてよい。また、バッファ14, 15の書き込みタイミングの設計に都合が良いように、空のデータを付加してからバッファ14, 15にヘッダ部およびペイロード部をそれぞれ書き込んで良い。ペイロード部はデータ部の一部であってもよい。

【0031】入力部バッファ管理部17は、ヘッダ用入力側バッファ14およびペイロード用バッファ15の蓄積が終了した後、その旨を示すフラグを設定する。変換部バッファ管理部18は、入力部バッファ管理部17のフラグを検査しており、セルの入力およびバッファ14, 15への蓄積が終了したか否かを判断する。変換部バッファ管理部18によりバッファ14, 15への蓄積

8

が終了したと判断されると、変換処理部12はヘッダ用入力側バッファ14からの変換処理前のヘッダ部を取り込む。そして、このヘッダ部に含まれているVPI, VC1より論理チャネル番号を識別して、その論理チャネル番号をキーとして論理チャネルに対応するルーティングタグテーブル2の領域を参照してルーティングタグ等を決定し、このルーティングタグ等をヘッダ部に付加することによりルーティングタグ付きヘッダパターンを構成する。こうして入力処理部11からのヘッダ部は変換処理部12によりルーティングタグ付きヘッダパターンに変換され、ヘッダ用出力側バッファ16へ格納される。この変換処理の終了後、変換部バッファ管理部18はその旨を示すフラグを設定する。

【0032】図3(a)は、ルーティングタグテーブル2の一つの論理チャネルに対応する領域の構成例であり、テーブルが有効に設定されているか否かを示すエントリ有効フラグ、セルに付加すべきルーティングタグ、セルに付加すべき出方路での論理チャネル識別子(以下、出側物理VC1という)、および通過セル数カウンタからなっている。

【0033】出力部バッファ管理部19は、変換部バッファ管理部18のフラグを検査しており、変換処理部12においてヘッダ部のルーティングタグ付きヘッダパターンへの変換処理が終了したか否かを判断する。出力部バッファ管理部19により変換処理部12の変換処理が終了したと判断されると、出力処理部13はヘッダ用出力側バッファ16に蓄積されている変換後のルーティングタグ付きヘッダパターンと、ペイロード用バッファ15に蓄積されているペイロード部とを連結して合成し、

図2(b)に示すようなルーティングタグ付きセルを出力セルとして生成して出力する。

【0034】ここではルーティングタグ付加部1について説明したが、図8におけるルーティングタグ削除部4についても基本的に同じ構成で実現できる。その場合、ルーティングタグテーブル2をヘッダ変換テーブル5に置き換える。このようにルーティングタグ付加部1とルーティングタグ削除部4が同一構成でよいことを利用して、図1に示すような構成の一つの集積回路からなるパケット変換装置をモード切り替えによってルーティングタグ付加部1とルーティングタグ削除部4とに分割使用することも可能である。

【0035】図3(b)はヘッダ変換テーブルの一つの論理チャネルに対応する領域の構成例であり、テーブルが有効に設定されているか否かを示すエントリ有効フラグ、新VPI、新VC1などを含む新ヘッダ情報、および通過セル数カウンタからなっている。

【0036】次に、入力部バッファ管理部17、変換部バッファ管理部18および出力部バッファ管理部19の動作アルゴリズムについて説明する。図1におけるヘッダ用入力側バッファ14、ペイロード用バッファ15お

9

よりヘッダ用出力側バッファ16は、ルーティングタグ付加部1ないしはルーティングタグ削除部4が所望の動作を実現するのに必要なセル数のセル情報を蓄積でき、セル単位の複数の領域にそれぞれ分割されている。各バッファ管理部17～19は、それぞれ各処理部11～13がバッファのどの領域に対してセル情報を書き込み、また読み出せばよいかを示すバッファポインタを管理する。

【0037】まず、図4に示すフローチャートを参照して、入力部バッファ管理部17の動作アルゴリズムについて説明する。入力処理部11にはヘッダ用入力側バッファ14およびペイロード用バッファ15に対するバッファポインタPIと、バッファポインタの有効フラグPIEが設定されている。また、バッファ14、15のセルを蓄積する複数の領域に1:1で対応した複数のフラグからなるフラグ配列FLAGIに、入力処理が終了したか否かを示すフラグを管理している。初期設定としてバッファポインタPIは0、有効フラグPIEは1、フラグ配列FLAGIは全て0とする(S10)。

【0038】入力処理部11は入力処理前に、まず出力処理部13のフラグ配列FLAGOのPI番目の内容を参照して、有効フラグPIEに記憶する(S17)。フラグ配列FLAGOのPI番目の内容が1ならばヘッダ用入力側バッファ14およびペイロード用バッファ15にセルを蓄積する空き領域が存在することを示し、0ならばバッファ14、15の双方にセルを蓄積する空き領域が存在しないことを示す。

【0039】次に、有効フラグPIEの値を判定する(S11)。PIEが0ならば、バッファ14または15の空き領域が存在しないため、ヘッダ用入力側バッファ14およびペイロード用バッファ15への蓄積を行わない(S12)。PIEが1ならば、引き続き入力セルが有意情報の伝送を提供する割当セルか否かを判定し(S13)、割当セルであればセルの入力処理を行う(S15)。すなわち、入力セルのヘッダ部をヘッダ用入力側バッファ14のバッファポインタPIで示される位置に蓄積し、また入力セルのペイロード部をペイロード用バッファ15のバッファポインタPIで示される位置に蓄積する。入力セルが割当セルでない場合は、バッファ14、15への蓄積を中止する(S14)。

【0040】そして、有効フラグPIEが1のときに入力セルとして割当セルが到着し、ステップS15においてセル入力処理が完了したなら、入力部バッファ管理部17はFLAGIのPI番目の内容をセルの蓄積が完了したことを示す値である1にセットすることによって、変換部バッファ管理部18に対して入力処理が完了したことを通知すると共に、出力処理部13のフラグ配列FLAGOのPI番目の内容を0にリセットして、ヘッダ用入力側バッファ14およびペイロード用バッファ15のセルを蓄積する領域が空きでなくなったことを記憶

し、さらに次の入力セルの蓄積すべき位置を指し示すためにバッファポインタPIを1増加させる(S16)。この後、ステップS17から上記の動作を繰り返す。

【0041】変換処理部12および出力処理部13も同様に、バッファポインタ、有効フラグおよびフラグ配列の組(PC, PCE, FLAGC)および(PO, POE, FLAGO)を持ち、図5および図6に示すフローチャートで表されるアルゴリズムに従って入力処理部11と同様の手順で動作を行う。

【0042】図5を参照して変換部バッファ管理部18の動作アルゴリズムについて説明すると、変換処理部12にはバッファポインタPCとバッファポインタの有効フラグPCEが設定されている。また、ヘッダ用出力側バッファ16のセルを蓄積する複数の領域に1:1で対応した複数のフラグからなるフラグ配列FLAGCに、変換処理が終了したか否かを示すフラグを管理している。初期設定としてバッファポインタPCは0、有効フラグPCEは0、フラグ配列FLAGCは全て0とする(S20)。

【0043】変換処理部12は変換処理前に、まずフラグ配列FLAGIのPC番目の内容を参照して、有効フラグPCEに記憶する(S25)。フラグ配列FLAGIのPC番目の内容が1ならばヘッダ用入力側バッファ12に入力済みで変換処理を持つセルが存在することを示し、0ならば存在しないことを示す。

【0044】次に、有効フラグPCEの値を判定する(S21)。PCEが0ならば入力済みで変換処理を持つセルが存在しないため、変換処理を行わない(S22)。有効フラグPCEが1ならば、ヘッダ用入力側バッファ14のバッファポインタPCで示される位置からヘッダ部を読み出して変換処理し、得られたルーティングタグ付きヘッダパターンをヘッダ用出力側バッファ16のバッファポインタPCで示される位置に蓄積する(S23)。

【0045】ステップS23において変換処理が完了したら、変換処理部12のフラグ配列FLAGCのPC番目の内容を変換処理が完了したことを示す値である1にセットすることによって、出力部バッファ管理部19に対して変換処理が完了したことを通知すると共に、入力処理部11のフラグ配列FLAGIのPC番目の内容を0にリセットして、入力済みで変換処理を持つセルを変換処理したこと記憶し、さらに次の変換処理したセルの蓄積すべき位置を指し示すためにバッファポインタPCを1増加させる(S24)。この後、ステップS25から上記の動作を繰り返す。

【0046】次に、図6を参照して出力部バッファ管理部19の動作アルゴリズムについて説明すると、出力処理部13にはバッファポインタPOとバッファポインタの有効フラグPOEが設定されている。また、ペイロード用バッファ15のセルを蓄積する複数の領域に1:1

11

で対応した複数のフラグからなるフラグ配列FLAGOに、出力処理が終了したか否かを示すフラグを管理している。初期設定としてバッファポインタPOは0、有効フラグPOEは0、フラグ配列FLAGOは全て1とする(S30)。

【0047】出力処理部13は出力処理前に、まず変換処理部12のフラグ配列FLAGCのPO番目の内容を参照して、有効フラグPOEに記憶する(S35)。フラグ配列FLAGCのPO番目の内容が1ならば、ペイロード用バッファ15およびヘッダ用出力側バッファ16に変換処理済みのセルが蓄積されていることを示し、0ならば蓄積されていないことを示す。次に、有効フラグPOEの値を判定し(S31)、POEが0ならばバッファ15、16に変換処理済みのセルが蓄積されていないため、出力処理を行わない(S32)。有効フラグPOEが1ならば、バッファ15、16のバッファポインタPOで示される位置からルーティングタグ付きヘッダパターンおよびペイロード部をそれぞれ読み出して合算し割当セルを出力する(S33)。

【0048】ステップS33において割当セルの出力が完了したなら、フラグ配列FLAGOのPO番目の内容を割当セル出力が完了したことを示す値である1にセットすることによって、入力部バッファ管理部17に対して出力処理が完了したことを通知すると共に、フラグ配列FLAGCのPO番目の内容を0にリセットして、ヘッダ用出力側バッファ16の当該領域が空となったことを記憶し、さらに次に出力処理すべきセルの蓄積された位置を指し示すために、POを1増加させる(S24)。この後、ステップS35から上記の動作を繰り返す。

【0049】このように入力部バッファ管理部17、変換部バッファ管理部18および出力部バッファ管理部19が各々のフラグを参照して協調動作を行うことにより、各ヘッダ用入力側バッファ14、ペイロード用バッファ15およびヘッダ用出力側バッファ16の領域の管理を行うことができ、それによって入力処理部11、変換処理部12および出力処理部13は協調動作を行う。

【0050】本実施例において、入力処理部11および出力処理部13に互いに独立したクロック入力端子を設け、これらのクロック入力端子に個別にクロックを供給することにより、入力処理部11と出力処理部13をペイロード用バッファ15を介して非同期で動作させるように構成することもできる。これにより、次のような利点が期待できる。

【0051】ルーティングタグ付加部1においては、入力セルが53オクテットであるのに対して、出力セルであるルーティングタグ付きセルは例えば64オクテットであり、またルーティングタグ削除部4においては逆に入力セルであるルーティングタグ付きセルが例えば64オクテットであるのに対して、出力セルは53オクテッ

12

トと、いずれの場合も入力セルと出力セルの長さが異なっている。従って、入力処理部11と出力処理部13を非同期で動作させないと、セルの単位時間当たりの処理スループットを等しくすることはできない。この処理スループットを等しくするためにには、入力処理部11と出力処理部13に各々供給するクロックの周波数比を例えば53:64のように定めればよい。

【0052】ルーティングタグ付加部1とルーティングタグ削除部4は、上記2種類のクロック周波数を持つ一方のセルを入力、他方のセルを出力とするため、これらの2種類のクロックの周波数比の異常を検出する手段を有することもできる。

【0053】また、入力処理部11と出力処理部13とが非同期であることを積極的に利用して、図8のルーティングタグ付加部1から自己ルーティングスイッチ3を経てルーティングタグ削除部4に至る交換システム内部を回線速度より高速で動作させることにより、交換機能の処理能力を上げることもできる。入力処理部11と出力処理部13はペイロード用バッファ15と入力部バッファ管理部17および出力部バッファ管理部19のみで疎に結合しているため、互いに同期していないクロックを供給した場合においても、非同期動作しているこれらの処理部11、13間のデータの受け渡しは容易である。

【0054】一方、変換処理部12については入力処理部11、出力処理部13のいずれかと同じクロックを供給する設計でよいが、いずれとも異なるクロックを供給する設計でも構わない。変換処理部12に入力処理部11および出力処理部13のいずれとも異なるクロックを供給した場合には、変換処理部12がクロック周波数を選定できるという利点がある。

【0055】上述した本実施例のパケット変換装置であるルーティングタグ付加部またはルーティングタグ削除部の構成によれば、従来技術に比較して次に挙げるような優れた利点を有する。

【0056】第1に、入力処理部11において入力処理が終了した後、変換処理部12が変換処理を開始し、変換処理が終了した後、出力処理部13が出力処理を開始するため、一つの処理部の例外処理がタイミング設計上で他の処理部に影響を及ぼすことがない。

【0057】具体的には、例えば従来技術で問題となっていた異常な長さのセルの入力を考慮した場合、正常な長さのセルが入力した場合のみ入力部バッファ管理部17のフラグを更新して、変換処理部12に入力処理の終了を通知すればよく、変換処理部12によるルーティングタグテーブル2内の通過セル数カウンタ領域の更新は、異常な長さセルの入力に対する例外処理の影響を受けない。

【0058】すなわち、長さの異常なセルが入力された時は、例外処理として入力処理部12においてセル廃棄

13

を行う必要がある。このセル廃棄に伴い、従来技術では入力セルが短い場合は変換処理部でルーティングタグテーブル2中の通過セル数カウンタのインクリメント動作を途中で打ち切り、また長い時には一旦インクリメントさせた通過セル数カウンタの値をデクリメントさせるといった複雑な制御を行う必要があった。これに対し、実施例では異常な長さのセルの入力に対しては通過セル数カウンタの更新動作を開始しないため、このような変換処理部12における複雑な制御が不要となる。

【0059】第2に、入力セルは入力処理部11においてヘッダ部とペイロード部とに分離され、ヘッダ部はヘッダ用入力側バッファ14、ペイロード部はペイロード用バッファ15と、それぞれ別のバッファに蓄積されるため、各バッファ14、15への書き込み量がセルの全ての部分を一つにバッファに書き込む従来技術に比較して少なくなり、タイミングの設計が容易である。

【0060】第3に、入力処理部11、変換処理部12および出力処理部13間がバッファを介して疎に結合されているため、これら各処理部11～13の機能を独立に設計することができ、設計が容易となる。

【0061】次に、本発明の他の実施例を説明する。図7は、本発明の他の実施例に係るパケット変換装置の構成を示すブロック図である。図1と同一部分に同一の参照符号を付して図1の実施例との相違点のみを説明する。本実施例では、図1の変換処理部12が他の処理部、すなわち入力処理部11および出力処理部13に対して、ヘッダ用入力側バッファ14およびヘッダ用出力側バッファ16をそれぞれ介して独立していることに着目して、変換処理部12を12a、12bの二つに分割し、変換処理を2段階に分けてパイプライン処理により実行するようにしている。これに伴い、変換部バッファ管理部18も18a、18bの二つに分割している。

【0062】このようにすると変換処理の処理時間は、1セルを入力する期間に限定される必要はなくなり、多様な機能を盛り込むことが可能となる。具体的には、例えば第1の変換処理部12aにはATM交換システムに対してユーザの申告したトラヒックバラメータに違反するセルを監視するトラヒック監視機能を持たせ、第2の変換処理部12bには先の実施例と同様にルーティングタグの作成を行う機能を持たせた構成とすることができる。

【0063】この場合、パイプライン処理の採用により第1および第2の変換処理部12a、12bのそれぞれに、1セルを入力するのに要する時間までの処理時間を割り当てることができるので、合計で2セルを入力する時間まで処理時間を引き延ばすことが可能となる。そして、これにもかかわらずセルの変換処理のスループットは、パイプライン処理により、少なくとも1セルを入力する時間に1セルというスループットとすることができる。トラヒック監視機能により判定された廃棄すべきか

10

20

30

40

50

14

否かの情報は、ヘッダ用変換部間バッファ20、ヘッダ用出力側バッファ16を介して出力処理部13に転送され、廃棄すべき場合は出力処理部13が該セルを非割当セルに置き換えることにより、セル廃棄することができる。

【0064】本発明によるパケット変換装置は、さらに以下に例挙するような各種の誤り検出機能、セル数計数機能、パケット変換装置の制御および監視を司るプロセッサとのインターフェースなどを備えることも可能である。

【0065】(1) ルーティングタグテーブル2、ヘッダ変換テーブル5といった変換処理に必要なテーブルは、一般にパケット変換装置の外部に接続されたRAMにより構成される。このRAMの記憶エラーの検出のため、変換処理に必要な本来のテーブルの情報の他に、バリティなどの冗長ビットをRAMに記憶し、変換処理部12においてRAMからテーブルの情報を読み出す時点で、その情報のエラーを検出する。

【0066】(2) ルーティングタグ付きセルに伝送誤り検出のためバリティなどの冗長ビットを付加し、パケット変換装置がセルを入力した時点で、その冗長ビットを用いて、セルを伝送してきた伝送路の信頼性を確認する。

【0067】(3) ルーティングタグテーブル2、ヘッダ変換テーブル5といった変換処理に必要なテーブルに、論理チャネルが設定されていることを示すエントリ有効フラグを設け、呼設定により確立した論理チャネルに対応するテーブルの領域のエントリ有効フラグのみをセットすることによって、パケット変換装置は確立している論理チャネル以外の論理チャネル識別子を持ったセルの入力を識別する。

(4) パケット変換装置内部に、該変換装置を通過する全てのセル数(パケット数)を計数するカウンタを備える。

【0068】(5) パケット変換装置内部、または外部に接続されたRAMに、論理チャネル毎に、(a) 通過セル数、(b) トラヒックバラメータ違反セル数、(c) セル処理のスループットを越えてセルが到着したために廃棄されたセル数(バッファオーバーフローセル数)を計数するカウンタをテーブルとして備える。

【0069】(6) (5) のテーブル内の論理チャネル毎のカウンタをプロセッサが読み出すために、パケット変換装置はプロセッサがリード・ライトできる二つのレジスタを持つ。これらのレジスタの一つは、リクエストフラグ、読み出しカウンタ種別および論理チャネル指定値を記憶するリクエストレジスタであり、他の一つは汎用カウンタ表示レジスタである。

【0070】プロセッサがカウンタを読み出す場合は、リクエストレジスタに読み出しカウンタ種別と論理チャネルを指定すると共にリクエストフラグをセットする。

15

リクエストフラグのセットをきっかけとして、パケット変換装置はテーブル内の指定されたカウンタ領域からカウンタ値を汎用カウンタ表示レジスタにロードする。ロード終了後、パケット変換装置は直ちにリクエストフラグをリセットしてプロセッサにカウンタ値のロード終了を通知すると共に、テーブル内の指定されたカウンタ領域をクリアする。

【0071】プロセッサは、リクエストレジスタのリクエストビットがパケット変換装置によってリセットされたことをもってカウンタ値の終了を確認し、汎用カウンタ表示レジスタをリードすることによって、希望するカウンタ値を読み出すことができる。

【0072】(7) パケット変換装置は、プロセッサがリード・ライトできるレジスタを持ち、パケット変換装置が(5)のテーブルの記憶エラー、セル伝送路の伝送路エラー、未設定論理チャネルセルエラー、トラヒックパラメータ違反、バッファオーバーフロー等を検出した場合、該レジスタにエラーの発生項目、エラーが生じたセルの論理チャネル情報を表示する。

【0073】(8) パケット変換装置は、プロセッサがリード・ライトできるレジスタを持ち、パケット変換装置が検出したセルの長さエラー、入力処理部と出力処理部とのクロック周波数比エラーなどのエラー情報を、パケット変換装置を通過した全セル数を該レジスタに表示する。

(9) (8)におけるエラー情報は、プロセッサがエラーに関する情報を読み取ることをきっかけにパケット変換装置がクリアする。

【0074】(10) (7)に示したエラーの発生や、前記トラヒックパラメータ違反に際して、パケット変換装置は該当するエラーを引き起こしたセルを廃棄するが、プロセッサからのレジスタを介した指示により、エラーを検出しないか、またはエラーを検出しても廃棄しないように設定する。

【0075】(11) パケット変換装置が割当セルを出力する場合、パケット変換装置より出力したセルの受取り側からのフロー制御信号を入力し、フロー制御信号の値により割当セルの出力を一時的に停止する。

【0076】(12) パケット変換装置へセルを送出する側にフロー制御信号を出力し、パケット変換装置内部のバッファ領域が全て使用中であり、パケット変換装置内部に新たに到着したセルを蓄積するバッファ領域がない場合、割当セルの出力を一時的に抑制することを指示する。

【0077】(13) 入力するセルの全てを廃棄するモード、出力するセルの全てを非割当せるに置き換えるモード、出力するルーティングタグ付きセルのパリティを偶数パリティにするモード、出力するルーティングタグ付きセルのパリティを奇数パリティにするモード、フロー制御入力をある固定値によって置き換えるモード、な

16

ど、パケット変換装置の動作モードを選択できる場合、プロセッサからのレジスタを介した指示によりモード切り替えを行う。

【0078】上述したような機能をパケット変換装置を構成する集積回路に組み込むことにより、本発明の趣旨を損なうことなくパケット変換装置をより高機能にすることができる。

【0079】上述した実施例では、本発明によるパケット変換装置をATM交換システムにおけるルーティングタグ付加部やルーティングタグ削除部に適用した例について述べたが、本発明は一般的な固定長パケット交換システムや可変長パケット交換システムにも適用することが可能である。

【0080】

【発明の効果】以上説明したように、本発明によれば入力処理が終了したパケットに対して変換処理を施し、変換処理が終了した後、出力処理を開始する構成となっているため、ある処理例えば入力処理において例外処理を行っても、他の例えば変換処理においては例外処理を行う必要がないため、タイミング設計が容易となる。

【0081】また、入力パケットがATM交換システムにおけるセルのようにヘッダ部と該ヘッダ部に続くデータ部で構成される場合、入力処理部からヘッダ部を含む第1の部分とペイロード部を含む第2の部分とを出して、第1の部分と第2の部分をそれぞれ第1および第2のバッファに蓄積し、さらに変換処理されたパケットを第3のバッファに蓄積して、第2のバッファから取り出した第2の部分の一部または全部と第3のバッファから取り出したパケットの一部または全部を出力処理部により合成して出力することにより、パケットの全ての部分を一つのバッファに書き込む従来の技術と比較して、蓄積手段へのパケットの書き込みタイミングの設計が容易となる。

【0082】しかも、入力処理部と変換処理部および出力処理部が相互にバッファを介して疎に結合されているため、これら各処理部の機能を独立に設計することができ、設計が容易となる。

【0083】また、入力処理部と出力処理部に互いに独立のクロック入力端子を設け、第2の蓄積手段を介して両者を非同期で動作させることにより、ATM交換システムにおけるルーティングタグ付加部やルーティングタグ削除部のように入力パケットと出力パケットの長さが異なる場合でも、入力処理部と出力処理部に供給するクロックの周波数比を適切に選定することで、入力処理部と出力処理部の処理スループットを等しくすることができる。入力処理部と出力処理部が非同期であることを積極的に利用して、ATM交換システムにおけるルーティングタグ付加部から自己ルーティングスイッチを経てルーティングタグ削除部に至る交換システム内部を回線速度より高速で動作させることで、交換機能の処理

能力を上げることもできる。

【0084】さらに、変換処理部での変換処理を複数段階に分けてバイオライン処理により実行するようすれば、同じ1パケットを入力する時間内に複数種類の変換処理を実行することができ、処理効率の向上と高機能化が可能となる。

【図面の簡単な説明】

【図1】本発明によるパケット変換装置をATM交換システムにおけるルーティングタグ付加部に適用した一実施例を示すブロック図

【図2】ATM交換システムにおけるセルのフォーマットを示す図

【図3】ATM交換システムで使用されるルーティングタグテーブルおよびヘッダ変換テーブルの例を示す図

【図4】図1における入力部バッファ管理部の動作アルゴリズムを説明するためのフローチャート

【図5】図1における変換部バッファ管理部の動作アルゴリズムを説明するためのフローチャート

【図6】図1における出力部バッファ管理部の動作アルゴリズムを説明するためのフローチャート

【図7】本発明によるパケット変換装置をATM交換システムにおけるルーティングタグ付加部に適用した他の実施例を示すブロック図

【図8】ATM交換システムの通話路系の構成を示すブロック図

【図9】従来のルーティングタグ付加部の構成を示すブロック図

【符号の説明】

1…ルーティングタグ付加部	2…ルーティングタグテーブル
---------------	----------------

3…自己ルーティングスイッチ	4…ルーティングタグ削除部
----------------	---------------

10 5…ヘッダ変換テーブル	10 …FIFOメモリ
----------------	-------------

11…入力処理部	12…変換処理部
----------	----------

12 a…第1の変換処理部	12 b…第2の変換処理部
---------------	---------------

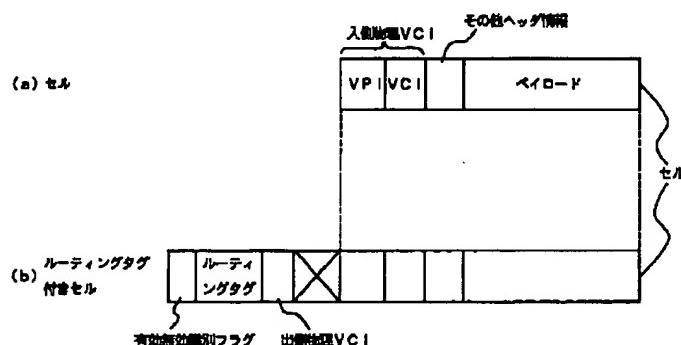
13…出力処理部	14…ヘッダ用入力側バッファ
----------	----------------

15…ペイロード用バッファ	16…ヘッダ用出力側バッファ
---------------	----------------

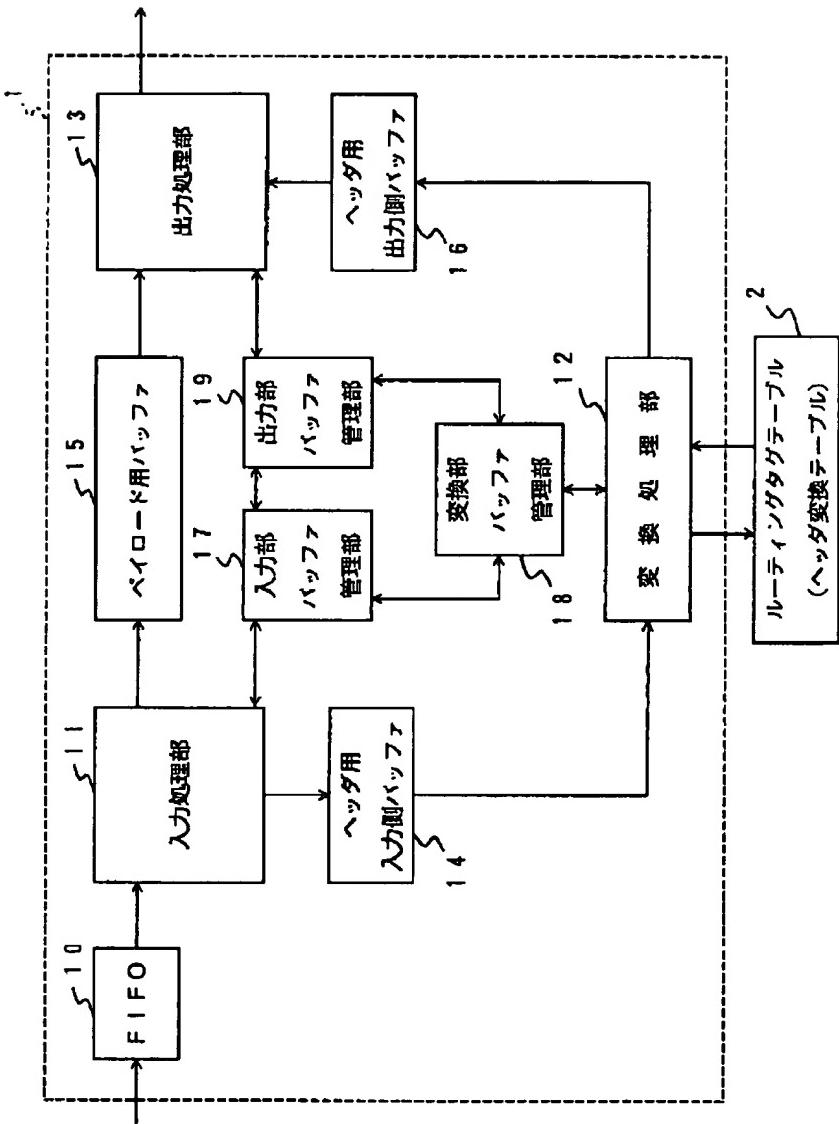
20 17…入力部バッファ管理部	18…変換部バッファ管理部
------------------	---------------

19…出力部バッファ管理部	
---------------	--

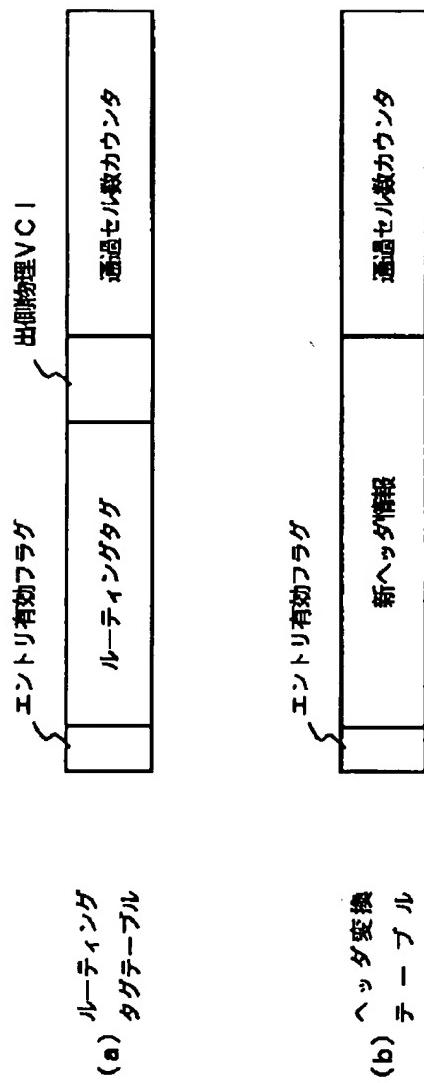
【図2】



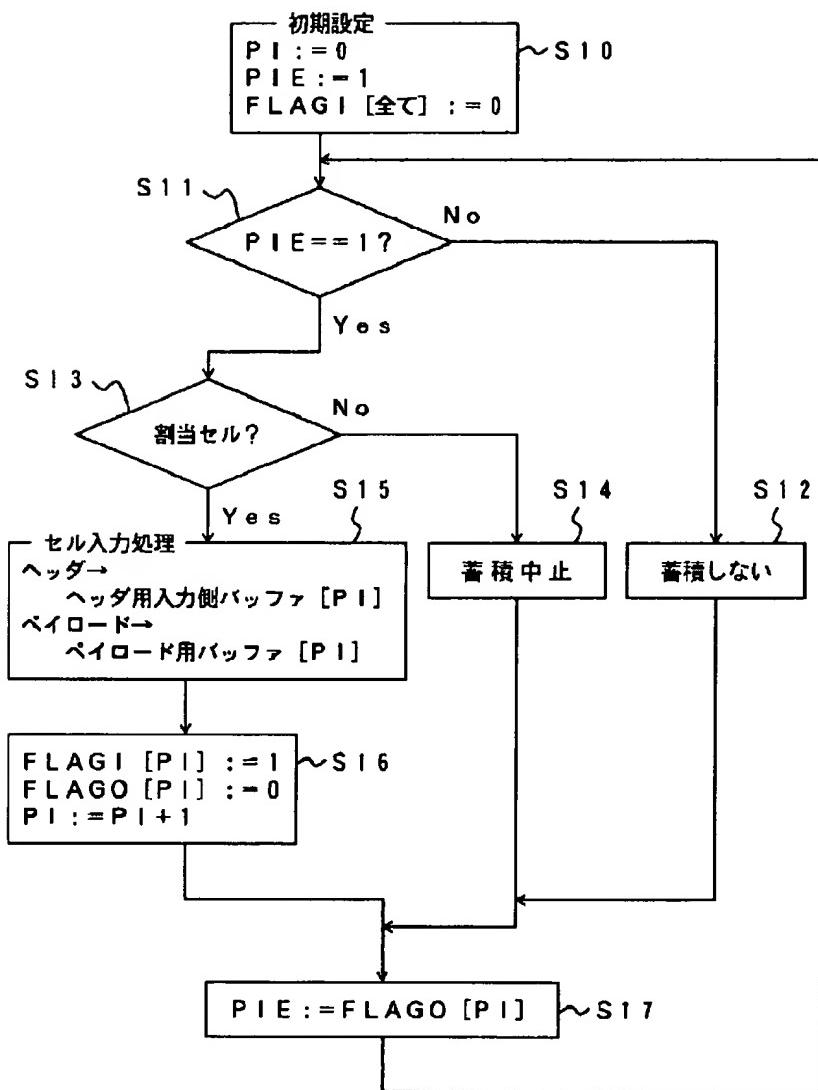
【図1】



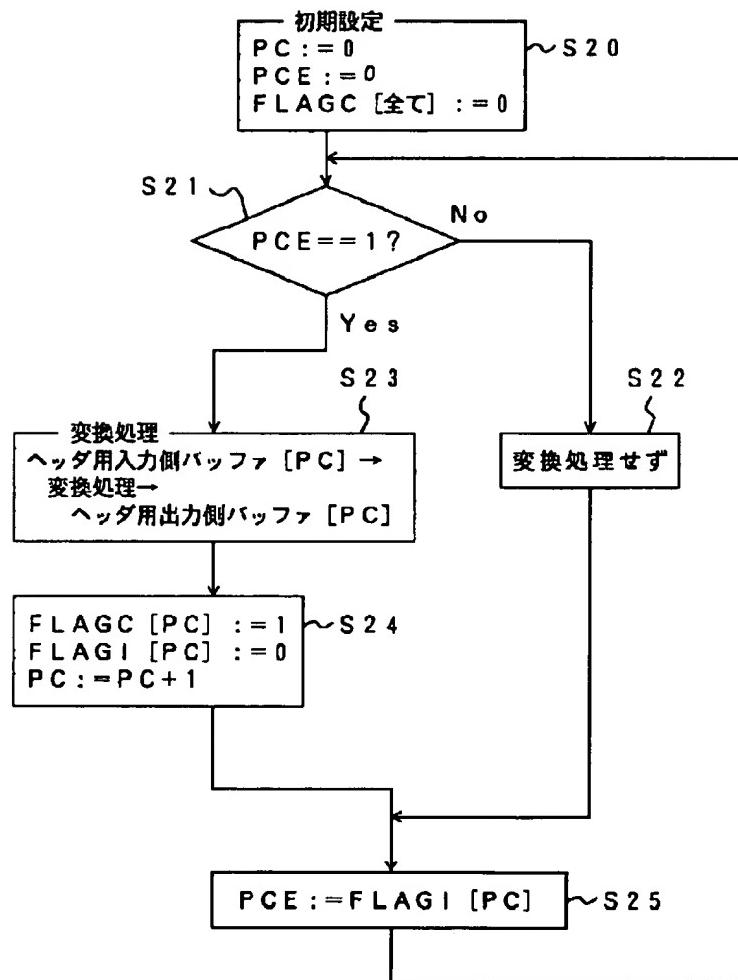
【図3】



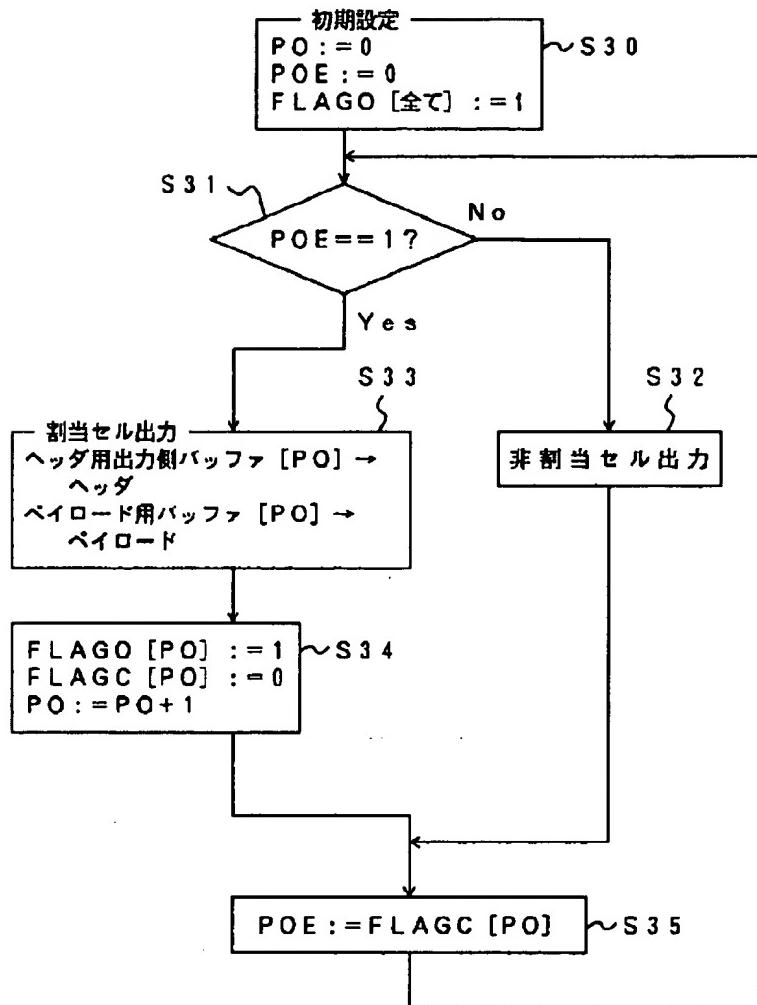
【図4】



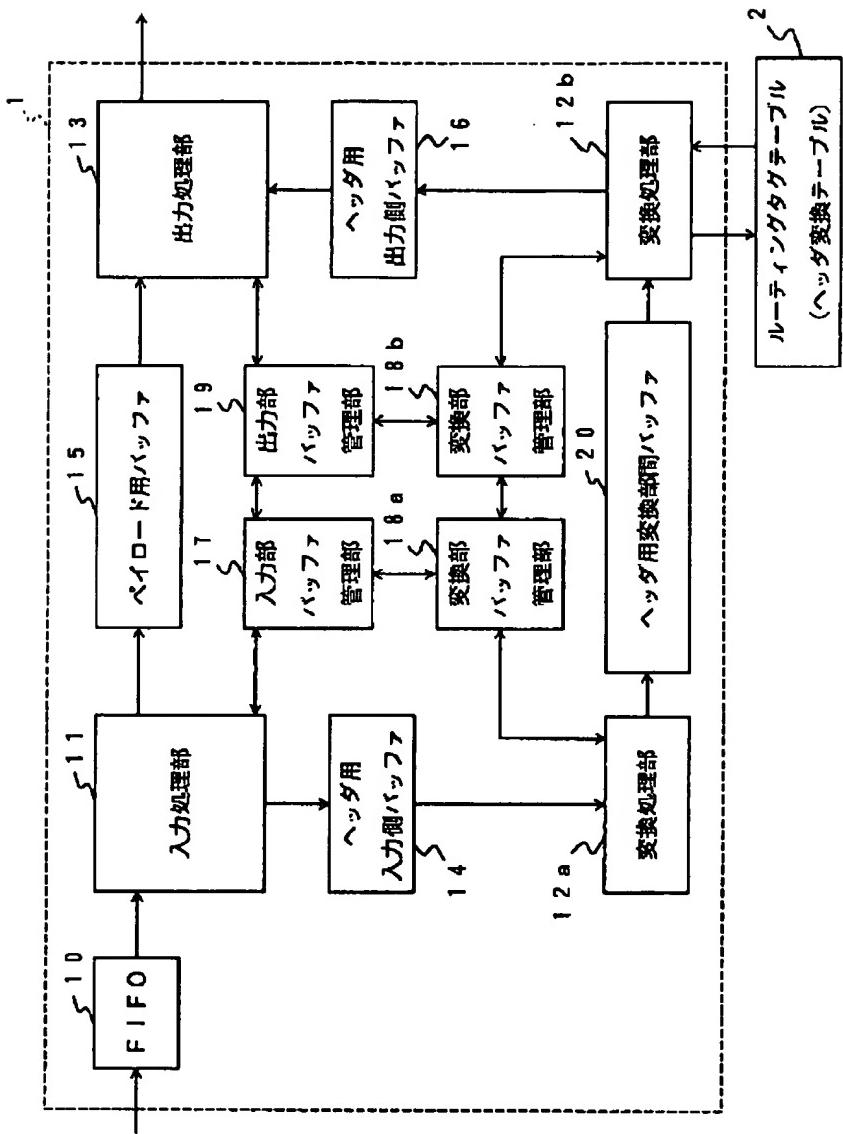
【図5】



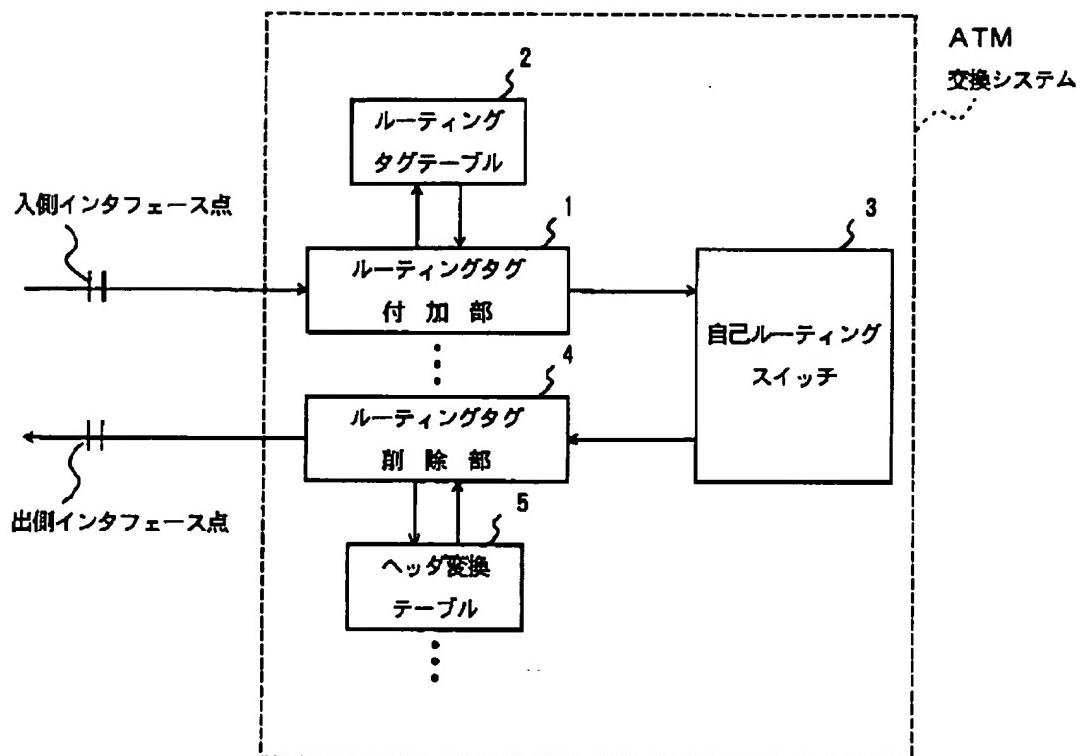
【図6】



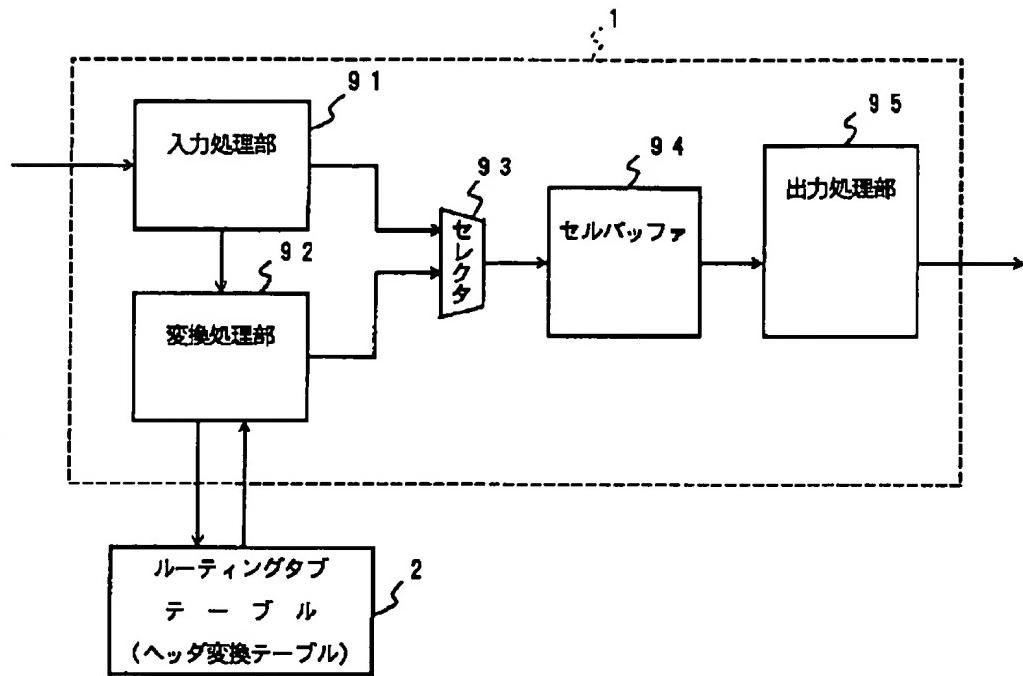
【図7】



【図8】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.